

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-068596

(43)Date of publication of application : 16.03.2001

(51)Int.Cl.

H01L 23/12

H05K 1/02

H05K 1/11

(21)Application number : 11-240834

(71)Applicant : SHARP CORP

(22)Date of filing : 27.08.1999

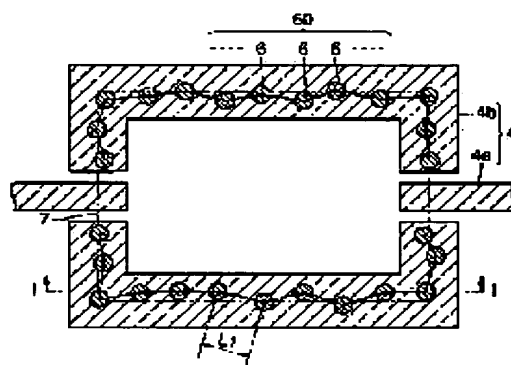
(72)Inventor : KAKIMOTO NORIKO

(54) DIELECTRIC CIRCUIT SUBSTRATE AND MM-WAVE SEMICONDUCTOR DEVICE INCLUDING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a dielectric circuit substrate, where high-frequency characteristics are not affected by the amplification and propagation of resonance when a mm-wave semiconductor device is composed, and the mm-wave semiconductor device.

SOLUTION: In the dielectric circuit substrate, via holes 6 for shielding electromagnetic waves are arranged so that they are not in a straight line at each side or are arranged at an unequal interval, thus allowing a resonance frequency to differ for each part and suppressing the amplification and propagation of resonance. Also, a distance L1 between the via holes 6 arranged mutually adjacent is preferably set to less than half the effective wavelength, thus reinforcing electromagnetic shielding.



## LEGAL STATUS

[Date of request for examination] 11.01.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3451038

[Date of registration] 11.07.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-68596

(P2001-68596A)

(43) 公開日 平成13年3月16日 (2001.3.16)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームト* (参考)
H 0 1 L 23/12	3 0 1	H 0 1 L 23/12	3 0 1 L 5 E 3 1 7
H 0 5 K 1/02		H 0 5 K 1/02	P 5 E 3 3 8
1/11		1/11	N

審査請求 未請求 請求項の数11 O L (全 10 頁)

(21) 出願番号 特願平11-240834

(22) 出願日 平成11年8月27日 (1999.8.27)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 柿本 典子

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100064746

弁理士 深見 久郎

Fターム (参考) 5E317 AA24 BB04 BB16 CC22 CC25

GG11

5E338 AA02 AA18 BB02 BB13 BB16

BB25 BB63 BB75 CC01 CC05

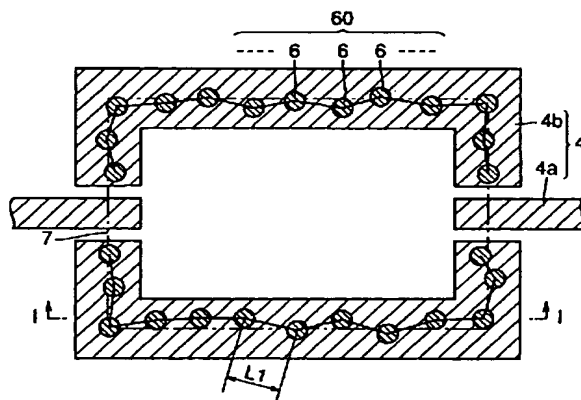
CC06 CD11 EE11

(54) 【発明の名称】 誘電体回路基板およびそれを含むミリ波半導体装置

(57) 【要約】

【課題】 ミリ波半導体装置を構成したときに共振の増幅、伝播によって高周波特性が悪影響を受けない誘電体回路基板、およびこれを用いたミリ波半導体装置を提供することを目的とする。

【解決手段】 誘電体回路基板において、電磁波を遮蔽するためのピアホール6を、各辺において一直線上に載らないようにまたは不等間隔に配列する。その結果、各部分ごとに共振周波数が異なることとなり、共振の増幅や伝播は抑えられる。また、好ましくは、互いに隣接して配列されたピアホール6同士の距離L1を、実効波長の1/2未満の距離となるように配列することによって電磁的遮断を強化する。



## 【特許請求の範囲】

【請求項1】 ミリ波半導体素子を実装することによってミリ波半導体装置を形成可能な誘電体回路基板であって、

電磁波を遮蔽するために、ミリ波半導体素子の実装領域の各辺に対応して配列されたビアホール列を有し、前記ビアホール列は、接地された導電体を内部に含むビアホールが、一直線上に載らないように配列されたものである、誘電体回路基板。

【請求項2】 ミリ波半導体素子を実装することによってミリ波半導体装置を形成可能な誘電体回路基板であって、

電磁波を遮蔽するために、ミリ波半導体素子の実装領域の各辺に対応して配列されたビアホール列を有し、前記ビアホール列は、接地された導電体を内部に含むビアホールが、互いに隣接するビアホール間の距離が一定とならないように配列されたものである、誘電体回路基板。

【請求項3】 互いに隣接して配列された任意の2つの前記ビアホール同士の間隔が基板表面における実効波長の $1/2$ 未満である、請求項1または2に記載の誘電体回路基板。

【請求項4】 任意の1つの前記ビアホールから、その両隣に隣接する2つの前記ビアホールのうちの一方までの距離と他方までの距離とが互いに異なるように配列された、請求項1から3のいずれかに記載の誘電体回路基板。

【請求項5】 前記ビアホールのうちから任意に選ばれた1つのビアホールである中心ビアホールから基板表面における実効波長の $1/2$ 以下の距離の範囲内において、前記中心ビアホールからの距離が互いにほぼ等しい他の前記ビアホールの数が3以下である、請求項1から4のいずれかに記載の誘電体回路基板。

【請求項6】 前記ビアホールのうちから任意に選ばれた互いに隣接する2つの前記ビアホールの中心同士を結んでできる線分の中点から、基板表面における実効波長の $1/2$ 以下の距離の範囲内において、前記線分を延長してできる直線に交わる、他の前記ビアホールの数が2以下である、請求項1から5のいずれかに記載の誘電体回路基板。

【請求項7】 ミリ波半導体素子を実装することによってミリ波半導体装置を形成可能な誘電体回路基板であって、

電磁波を遮蔽するために配列されたビアホール列を有し、前記ビアホール列は、接地された導電体を内部に含むビアホールが配列されたものであり、前記ビアホール列が、略弧状に並ぶ4以上の前記ビアホールからなる略弧状部分を含み、各前記略弧状部分の弧の長径が基板表面における実効波長の $1/2$ 未満である、誘電体回路基板。

【請求項8】 ミリ波半導体素子を実装することによってミリ波半導体装置を形成可能な誘電体回路基板であって、

電磁波を遮蔽するために配列されたビアホール列を有し、前記ビアホール列は、接地された導電体を内部に含むビアホールが配列されたものであり、前記ビアホール列が、略矩形状に並ぶ4以上の前記ビアホールからなる略矩形状部分を含み、各前記矩形状部分の矩形長辺の長さが基板表面における実効波長の $1/2$ 未満である、誘電体回路基板。

【請求項9】 前記ビアホール列が、複数本の互いに略平行な直線に沿う並列ビアホール配列を含み、この並列ビアホール配列の各前記直線に沿って並ぶ前記ビアホールが不等間隔で配列されている、請求項1または2に記載の誘電体回路基板。

【請求項10】 ミリ波半導体素子を実装した、請求項1から10のいずれかに記載の誘電体回路基板を含むミリ波半導体装置。

【請求項11】 直線状に配列された複数の突起電極を含む突起電極列により外縁部を取り囲まれたミリ波半導体素子を誘電体回路基板上に実装したミリ波半導体装置であって、

前記誘電体回路基板は、各前記突起電極列の近傍に、電磁波を遮蔽するためのビアホール列を有し、前記ビアホール列は、接地された導電体を内部に含むビアホールが、対応する前記突起電極列に平行な直線上に載らないように配列されている、ミリ波半導体装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ミリ波半導体素子をフェースダウンの形態で実装するための誘電体回路基板、および、これにミリ波半導体素子を実装して形成されるミリ波半導体装置に関するものである。

【0002】

【従来の技術】（背景）近年、情報処理装置の処理速度の向上や、画像処理装置の高解像度化などに伴い、30～300GHzのミリ波帯での大容量超高速無線通信が注目されている。ミリ波帯用無線通信機器を構成するためには、高性能なミリ波半導体装置が不可欠であるが、ミリ波半導体装置は、表面に回路パターンを形成した誘電体回路基板にミリ波半導体素子を搭載することにより得られる。

【0003】しかし、ミリ波半導体素子を、誘電体回路基板に対して電氣的に接続する際に、従来から半導体装置の実装で広く用いられているワイヤボンディング法による場合、信号端子と回路基板端子とを結ぶ金属ワイヤのインダクタンスなどの影響で信号の減衰が大きくなり、所望の特性が得られないという問題がある。そこで、ミリ波半導体素子の実装方法としては、突起電極を用いたフリップチップボンディング方法などのように、素子面を

誘電体回路基板側に向ける形態、いわゆるフェースダウンにしてインダクタンスの低減を図る方法が用いられることが多い。

【0004】ところが、こうしたフェースダウンの実装方法では、ミリ波半導体素子に対向する誘電体回路基板の表面を基本的に導電体とした場合、その距離は一般に数 $\mu\text{m}$ から数十 $\mu\text{m}$ であり、インピーダンスの低減のためには、この実装の際の距離制御が高精度で要求され、困難なものとなる。

【0005】このため、ミリ波半導体素子に対向する誘電体回路基板の表面に設ける導電体は、必要最小限の導電体のみとし、所定厚さの誘電体層を隔てて接地導電体を置くことにより、インピーダンスのずれに対して実装マージンを大きくとることができる。なお、この接地導電体は、誘電体基板が両面板ならば裏面、誘電体基板が多層基板ならば内層または裏面に置かれることになる。この接地導電体を以下、「裏面接地導電体」という。

【0006】また、この場合、ミリ波半導体素子に設けられた接地導電体は、例えば突起電極を経て誘電体基板の表面に設けられた接地導電体に電氣的に接続され、この表面の接地導電体は、導電体を内部に充填したビアホールを経て裏面接地導電体に接続される。ミリ波半導体素子からの経路長さがある程度以上長くなると、裏面接地導電体は、高周波におけるミリ波半導体素子の接地導電体としての機能が低下することになる。そこでこの機能低下を避けるために、ビアホールは、ミリ波半導体素子搭載部に配置される。特に、経路長さ低減のため、突起電極の直下に置かれることが多い。このため、一般的に、ビアホールの配置は、ミリ波半導体素子の周辺部に配置される突起電極の配置に倣うこととなり、ミリ波半導体素子の形状にほぼ沿った矩形状となっている。

【0007】(従来のミリ波半導体装置の一例)図12～14を参照して、フリップチップボンディング方法を用いた従来のミリ波半導体装置の一例について説明する。

【0008】図12は、ミリ波半導体素子3をフリップチップボンディング方法により搭載するための回路パターン4が形成された誘電体回路基板2を示す平面図である。ただし、図12では誘電体回路基板2のうち誘電体部分20(図14参照)を省略している。セラミックなどの誘電体材料からなる誘電体回路基板2の主面、すなわち、ミリ波半導体素子搭載面には、導電性材料からなる回路パターン4が形成され、その表面には高周波信号伝送特性の向上を目的として、金メッキなどが施されている。図12に示す例では、回路パターン4としては、信号入出力用端子4aと接地電位パターン4bが形成されている。ミリ波半導体素子搭載部7は、ミリ波半導体素子3が搭載される領域である。ビアホール6は、その配置は搭載されるミリ波半導体素子3の形状に倣って矩形状であり、通常、等間隔で一定線上に整然と配置され

ている。

【0009】図13は、突起電極10が形成されたミリ波半導体素子3を示す平面図である。ただし、下面を下方からではなく上方から透視して見た平面図である。GaAsなどの材料からなるミリ波半導体素子3はウエハプロセス技術によって回路形成面にミリ波デバイスの回路(図示省略)が形成されており、さらに信号入出力端子12として、ボンディングパッド9が設けられ、さらにボンディングパッド9には、金などからなる突起電極10が形成されている。

【0010】図14は、図12の誘電体回路基板2に図13のミリ波半導体素子3をフリップチップボンディング方法により搭載した状態のミリ波半導体装置1を示すI-I'線における矢視断面図である。誘電体回路基板2の裏面には、基本的に全面に接地用の電位パターン(以下、「裏面接地電位パターン」という。)5が形成されている。表面の接地電位パターン4bと裏面接地電位パターン5とは、導電体が内部に充填されたビアホール6によって接続されている。

【0011】ミリ波半導体装置1の組立ての際には、ミリ波半導体素子の回路形成面と、誘電体回路基板の回路パターン4とが対向するようにして、熱圧着により突起電極10は、回路パターン4の表面のミリ波半導体素子搭載部7に接合される。この後、外部環境保護のためにミリ波半導体装置1は気密封止され、さらに必要に応じてミリ波信号送受信アンテナが形成される。

【0012】

【発明が解決しようとする課題】従来の構造のフェースダウンでミリ波半導体素子3を誘電体回路基板2に実装したミリ波半導体装置1においては、上述のように、ビアホール6の配列はミリ波半導体素子3の外形に倣って矩形状であり、その位置関係については、通常、等間隔で一定線上に整然と配置されているため、ビアホール6の配列の各部分におけるビアホール同士の距離、方向などの位置関係が同じとなる。その結果、各部分の共振周波数はほぼ同一となる。したがって、その位置関係に依存する共振が起こると、同様の位置関係の繰返しがこの共振を、より大きく増幅させ、より遠くへ伝播させていた。その結果、使用周波数や回路パターンの設計によっては、共振により使用周波数帯域に著しいレベル変動の分布が発生し、ミリ波半導体装置1の特性に悪影響を与えることがあった。

【0013】図15は、図12～14に示したミリ波半導体装置1の高周波特性の一例を示す概略図である。構軸に周波数、縦軸に高周波特性を取っており、斜線で示したF1からF2までが使用周波数帯であり、使用可能な高周波特性の最低レベル(以下、「使用可能最低レベル」という。)T1が設定されている。使用周波数帯域でこの使用可能最低レベルT1より高周波特性が良ければ問題がない。

【0014】従来のこのミリ波半導体装置1の高周波特性には、周波数が高くなるにつれ徐々に劣化する傾向が見られる。また、周波数F3、F4、F5で局所的に鋭いピークを持つ劣化が見られる。これらF3、F4、F5などのように局所的に高周波特性が劣化する周波数を、以下、「局所劣化周波数」という。局所劣化周波数のうち、F4は使用周波数帯内にあり、使用可能最低レベルT1を下回るため、ミリ波半導体装置1の使用に悪影響を与える。

【0015】この発明は、上述のような問題点を解決するためになされたもので、ミリ波半導体装置を構成したときに共振の増幅、伝播によって高周波特性が悪影響を受けない誘電体回路基板、およびこれを用いたミリ波半導体装置を提供することを目的とする。

【0016】

【課題を解決するための手段】上記目的を達成するため、本発明に基づく誘電体回路基板の1つの局面においては、ミリ波半導体素子を実装することによってミリ波半導体装置を形成可能な誘電体回路基板であって、電磁波を遮蔽するために、ミリ波半導体素子の実装領域の各辺に対応して配列されたビアホール列を有し、上記ビアホール列は、接地された導電体を内部に含むビアホールが、一直線上に載らないように配列されたものである。あるいは他の局面においては、ミリ波半導体素子を実装することによってミリ波半導体装置を形成可能な誘電体回路基板であって、電磁波を遮蔽するために、ミリ波半導体素子の実装領域の各辺に対応して配列されたビアホール列を有し、上記ビアホール列は、接地された導電体を内部に含むビアホールが、互いに隣接するビアホール間の距離が一定とならないように配列されたものである。

【0017】上記構成を採用することにより、ビアホール6同士の位置関係には乱雑さが加わり、多様化し、各部分ごとに共振周波数が異なることとなる。その結果、ある周波数の共振に呼応して他の多くの箇所が共振し、増幅され伝播するといった現象は起こりにくくなる。

【0018】また、上記発明において好ましくは、互いに隣接して配列された任意の2つの上記ビアホール同士の間隔が基板表面における実効波長の1/2未満である。

【0019】上記構成を採用することにより、互いに隣接して配列されたビアホール同士の距離が、実効波長の1/2未満の距離であるため、ビアホールで囲まれた部分とその外側との電磁的な遮断が有効に行われる。

【0020】さらに、上記発明において好ましくは、任意の1つの上記ビアホールから、その両隣に隣接する2つの上記ビアホールのうちの一方までの距離と他方までの距離とが互いに異なるように配列されている。この構成により、共振周波数が異なる確率が高くなり、そのため、増幅や伝播が抑えられやすくなる。

【0021】さらに、上記発明において好ましくは、上記ビアホールのうちから任意に選ばれた1つのビアホールである中心ビアホールから基板表面における実効波長の1/2以下の距離の範囲内において、上記中心ビアホールからの距離が互いにほぼ等しい他の上記ビアホールの数が3以下である。この構成により、その距離に起因する共振の増幅および伝播は抑えられる。

【0022】さらに、上記発明において好ましくは、上記ビアホールのうちから任意に選ばれた互いに隣接する2つの上記ビアホールの中心同士を結んでできる線分の中点から、基板表面における実効波長の1/2以下の距離の範囲内において、上記線分を延長してできる直線に交わる、他の上記ビアホールの数が2以下である。

【0023】上記構成を採用することにより、直進する傾向のある共振の伝播に対して、直進する方向へのビアホールの配置が少なくなっているため、伝播を抑えることができる。

【0024】本発明に基づく誘電体回路基板の他の局面においては、ミリ波半導体素子を実装することによってミリ波半導体装置を形成可能な誘電体回路基板であって、電磁波を遮蔽するために配列されたビアホール列を有し、上記ビアホール列は、接地された導電体を内部に含むビアホールが配列されたものであり、上記ビアホール列が、略弧状に並ぶ4以上の上記ビアホールからなる略弧状部分を含み、各上記略弧状部分の弧の長径が基板表面における実効波長の1/2未満である。

【0025】上記構成を採用することにより、各略弧状部分に発生する共振の周波数を相対的に高くすることができる。その結果、高周波特性が使用周波数帯において使用可能レベルを下回することは回避できる。

【0026】本発明に基づく誘電体回路基板のさらに他の局面においては、ミリ波半導体素子を実装することによってミリ波半導体装置を形成可能な誘電体回路基板であって、電磁波を遮蔽するために配列されたビアホール列を有し、上記ビアホール列は、接地された導電体を内部に含むビアホールが配列されたものであり、上記ビアホール列が、略矩形形状に並ぶ4以上の上記ビアホールからなる略矩形形状部分を含み、各上記矩形形状部分の矩形長辺の長さが基板表面における実効波長の1/2未満である。

【0027】上記構成を採用することにより、各略矩形形状部分に発生する共振の周波数を相対的に高くすることができる。その結果、高周波特性が使用周波数帯において使用可能レベルを下回することは回避できる。

【0028】本発明に基づく誘電体回路基板のさらに他の局面においては、上記ビアホール列が、複数本の互いに略平行な直線に沿う並列ビアホール配列を含み、この並列ビアホール配列の各上記直線に沿って並ぶ上記ビアホールが不等間隔で配列されている。

【0029】上記構成を採用することにより、共振する

周波数を、相対的に高くすることができる。その結果、高周波特性が使用周波数帯において使用可能レベルを下回することは回避できる。

【0030】本発明に基づくミリ波半導体装置の1つの局面においては、ミリ波半導体素子を実装した、上記誘電体回路基板を含む。この構成により、高周波特性が使用周波数帯で使用可能最低レベルを下回らないミリ波半導体装置を提供することができる。

【0031】本発明に基づくミリ波半導体装置の他の局面においては、直線状に配列された複数の突起電極列により外縁部を取り囲まれたミリ波半導体素子を誘電体回路基板上に実装したミリ波半導体装置であって、前記誘電体回路基板は、各前記突起電極列の近傍に、電磁波を遮蔽するためのビアホール列を有し、前記ビアホール列は、接地された導電体を内部に含むビアホールが、対応する前記突起電極列に平行な直線上に載らないように配列されている。

【0032】上記構成により、高周波特性が使用周波数帯で使用可能最低レベルを下回らないミリ波半導体装置を提供することができる。

【0033】

【発明の実施の形態】（実施の形態1）

（構造）図1～図3を参照して、本実施の形態における誘電体回路基板2を実装したミリ波半導体装置1の構造を説明する。本実施の形態における誘電体回路基板2の誘電体部分20としては、材質はセラミックス、板厚が150μmであり、比誘電率は約9のものをを用いた。

【0034】図1に、誘電体回路基板2の平面図を示す。ただし、図1では誘電体回路基板2のうち誘電体部分20を省略している。誘電体回路基板2の主面である一方の面には、ミリ波半導体素子搭載用の回路パターン4が形成されている。この回路パターン4は、信号入出力パターン4aと接地電位パターン4bとからなる。回路パターン4は、電磁波を遮蔽するためのビアホール6の配列であるビアホール列60がミリ波半導体素子の実装領域としてのミリ波半導体素子搭載部7をおおよそ取囲むように各辺に対応して配置されている。ビアホール列60において互いに隣接して配列されたビアホール6同士の距離L1が、実効波長の1/2未満である。ここで、「実効波長」というのは、誘電体基板表面における実効波長を意味し、実効波長は、誘電体基板やこれに接する空気や樹脂などといった物質の誘電率、回路パターンの形状や材質などから定まる値である。以下の記載においても「実効波長」といった場合には同様である。

【0035】さらに、ビアホール列60におけるビアホール6の配列は、上面から見たときに各辺において一直線上に載らない形状（非直線凹凸状）に配列されている。

【0036】なお、図1に示すように信号入出力パターン4aを挟むビアホール6同士の距離は他の箇所と比べ

て長くなっており、実効波長の1/2以下とは限らないが、この箇所では、ビアホール列60が途切れているため、これらのビアホール6は、「ビアホール列60において互いに隣接して配列されたビアホール6」には該当しないものとする。

【0037】図2に、ミリ波半導体素子3の構造の平面図を示す。ただし、下面を下方からではなく上方から透視して見た平面図である。回路形成面のボンディングパッド9上に、金からなる突起電極10が形成されている。なお、図2に示す例では、ミリ波半導体素子3の回路として、いわゆるスルーの伝送線路11と入出力端子12の組合せとなっているが、フィルタ、放射素子や各種のゲインを持つ素子や、その複合回路であってもよい。

【0038】図3に、誘電体回路基板2（図1参照）にミリ波半導体素子3（図2参照）をフリップチップボンディング方法により熱圧着した状態の、I-I線における矢視断面図を示す。誘電体回路基板2の主面と反対側の面には、全面に渡って裏面接地電位パターン5が形成されている。接地電位パターン4bと裏面接地電位パターン5とは、導電体としてタングステンペーストが充填されたビアホール6によって、電気的に接続されている。ビアホール6の配列は、上述のように一直線上に載らない配列であるため、図3においては、ビアホール6の断面形状は、それぞれ異なったものとなっている。

【0039】（高周波特性）図4は、本実施の形態におけるミリ波半導体装置1の高周波特性を示した概略図である。本実施の形態におけるミリ波半導体装置1においても、従来のミリ波半導体装置1と同様、周波数が高くなるにつれて徐々に劣化する傾向が見られる。しかし、局所劣化周波数の現われ方については、従来と大きく異なる。すなわち、局所劣化周波数の数は図4に示すようにF6からF13までの8つに増えているが、各々の劣化の程度はいずれも小さくなっている。その結果、使用周波数帯域において使用可能最低レベルT1を下回る局所劣化周波数は、従来では、図15に示すように1つであったのに対し、本実施の形態では、図4に示すように存在しない。

【0040】（作用・効果）本実施の形態におけるミリ波半導体装置1においては、ビアホール列60において互いに隣接して配列されたビアホール6同士の距離L1が、実効波長の1/2未満の距離であるため、ビアホール6で囲まれた部分とその外側との電磁的な遮断が有効に行われる。

【0041】本実施の形態におけるミリ波半導体装置1においては、ビアホール6の配列が、上述のように各辺において一直線上に載らないものであるため、ビアホール6同士の位置関係には乱雑さが加わり、多様化している。したがって、各部分ごとに共振周波数が異なることとなる。各部分ごとに異なる共振周波数を有することに

よって、共振の起こる確率は増し、局所劣化周波数の数は増える傾向にあるが、従来のビアホール6が等間隔で整然と配列されたミリ波半導体装置1のように、ある周波数の共振に呼応して他の多くの箇所が共振し、増幅され伝播するといった現象は起こりにくくなる。その結果、それぞれの局所劣化周波数における劣化の程度は小さくなり、使用周波数帯内で使用可能最低レベルT1を下回ることとはなくなる。

【0042】本実施の形態では、ビアホール6の配列を各辺において一直線上に載らないものとしたが、各辺ごと

【0043】なお、ビアホール列60は、電磁的遮断のための他の手段と組合せて使用することによって電磁的遮断を実現することも一応可能であるが、ビアホール列60を、実質的に閉じられた領域を構成するように配置することとすれば、ビアホール列60自体によって、上記領域の内部と外部との間の電磁的遮断をほぼ完全なものとすることができる。

【0044】（実施の形態2）

（構造）図5に、誘電体回路基板2の平面図を示す。ビアホール列60において互いに隣接して配列されたビアホール6同士の距離L2は、実効波長の $3/8$ 以下となっている。誘電体回路基板2およびミリ波半導体装置1としての他の部分の構成は実施の形態1におけるものと同じである。

【0045】（作用・効果）ビアホール列60において互いに隣接して配列されたビアホール6同士の距離L2が、実効波長の $3/8$ 以下の距離であるため、ビアホール6で囲まれた部分とその外側との電磁的な遮断がさら

【0046】なお、距離L2は、他の値についても検討したが、 $3/8$ 以下のときに特に有効な効果が得られることがわかった。

【0047】本実施の形態によれば、強い電磁界が発生するミリ波半導体素子3を用いる必要がある場合にも、電磁的な遮断を十分に行なえる。

【0048】（実施の形態3）さらに、本発明における一連の検討結果から、ビアホール6同士の位置関係に乱雑さを加えるための配列は、実施の形態1および2の例に限られず、幾何学的要因がいくつか存在することが明らかになった。すなわち、比較的近い距離にあるビアホールについて、また、いくつかのビアホールで形成される形状について、有効な構造が明らかになった。

【0049】（構造）図6に、本実施の形態における誘電体回路基板2のビアホール列60の一部分の概略を示す。ビアホール6（6a～6e）が、一直線上に載らないように配列されているが、任意の1つのビアホール6から、その両隣に隣接する2つのビアホール6のうちの一方までの距離と他方までの距離が異なるように配列さ

れている。

【0050】たとえば、ビアホール6cに注目すると、ビアホール6bまでの距離はL3であり、ビアホール6dまでの距離はL4であって、L3とL4はいずれも実効波長の $1/2$ 未満であって、L3とL4は異なる距離となっている。

【0051】なお、誘電体回路基板2およびミリ波半導体装置1としての他の部分の構成は実施の形態1におけるものと同じである。

【0052】（作用・効果）ビアホール6b、6c間とビアホール6c、6d間とで距離が異なっているため、ビアホール6b、6c間における共振周波数とビアホール6c、6d間における共振周波数とは異なる確率が高くなり、そのため、増幅や伝播が抑えられやすくなる。これは隣接する2つのビアホール6の間に限ったことではなく、1つ、2つまたはそれ以上のビアホール6を介在して隔てた2つのビアホール6についても同様である。しかし、実用的には、あるビアホール6から、その両隣に隣接する2つのビアホール6のうちの一方までの距離と他方までの距離が異なる配列となる条件が任意のビアホール6に成り立つようにすれば、共振の発生の程度は十分に小さく抑えることができる。

【0053】（実施の形態4）

（構造）図7に、本実施の形態における誘電体回路基板2のビアホール列60の一部分の概略を示す。ビアホール6（6f～6s）が、一直線上に載らないように配列されている。これらのビアホール6のうちから任意に選ばれた1つのビアホール6を、説明の便宜上、「中心ビアホール」とすると、中心ビアホールから実効波長の $1/2$ 以下の距離の範囲内において、中心ビアホールからの距離が互いにほぼ等しい他のビアホール6の数が3以下となるように配列されている。

【0054】たとえば、ビアホール61に注目し、これを中心ビアホールと考え、ビアホール61の中心を中心として実効波長の $1/2$ に当たるR1を半径とする円の内部に存在するビアホール6g～6s（61を除く。）が問題となる。それぞれのビアホール6g～6s（61を除く。）からビアホール61までの各距離を考えると、互いにほぼ等しい距離となる組み合わせとしては、たとえば、ビアホール6s、6rがいずれも距離がR1で等しく、ビアホール6i、6o、6pがいずれも距離がR2で等しい。他に同じ距離で4個以上のビアホール6が配列されている例は見当たらない。したがって、中心ビアホールであるビアホール61から実効波長の $1/2$ 以下の距離の範囲内において、中心ビアホールからの距離が互いにほぼ等しい他のビアホール6の数の最大値は、距離R2におけるビアホール6i、6o、6pの個数、すなわち3である。

【0055】なお、誘電体回路基板2およびミリ波半導体装置1としての他の部分の構成は実施の形態1におけ



るものと同じである。

【0056】（作用・効果）ある中心ピアホールから、ほぼ等距離の他のピアホール6の数が3以下であるという条件が、いずれのピアホール6を中心ピアホールとしたときにも成立することとなり、その距離に起因する共振の増幅および伝播は抑えられる。

【0057】なお、本発明の条件において「3以下」とする代りに「2以下」、「1以下」などのように最大値をより小さくした方が共振の発生を低減できる。しかし、実用的には、3以下とすれば、共振の発生の程度は十分に小さく抑えることができる。

【0058】また、中心ピアホールからほぼ等距離の他のピアホールの数を少なくすることによる、共振の発生程度の抑制への影響は、中心ピアホールの距離があまりに長くなると、低下する。したがって、実用的には、中心ピアホールから概ね半径が実効波長の $1/2$ 以下の範囲内について考えれば十分である。

【0059】（実施の形態5）

（構造）図8に、本実施の形態における誘電体回路基板2のピアホール列60の一部分の概略を示す。ピアホール6（6t～6z）が、一直線上に載らないように配列されているが、任意に選ばれた互いに隣接する2つのピアホール6の中心同士を結んでできる線分の中点から、実効波長の $1/2$ 以下の距離の範囲内において、この線分を延長してできる直線に交わる、他のピアホール6の数が2以下となるように配列されている。

【0060】たとえば、任意に選ばれた互いに隣接する2つのピアホール6として、ピアホール6v、6wに注目すると、ピアホール6v、6wの中心同士を結んでできる線分の中点を中心として実効波長の $1/2$ に当たるR3を半径とする円の内部に存在するピアホール6t～6y（6v、6wを除く。）が問題となる。このうち、ピアホール6v、6wの中心同士を結んでできる線分を延長してできる直線ⅠⅠⅠ-ⅠⅠⅠに交わる他のピアホール6としては、ピアホール6t、6yの2個が存在する。

【0061】なお、誘電体回路基板2およびミリ波半導体装置1としての他の部分の構成は実施の形態1におけるものと同じである。

【0062】（作用・効果）ミリ波帯の周波数では、共振の伝播は直進する傾向がある。したがって、ピアホール6v、6wが関係する共振は、ピアホール6v、6wの中心同士を通る直線ⅠⅠⅠ-ⅠⅠⅠ上への他のピアホール6の配置を少なくすることで、伝播を抑えることができる。

【0063】なお、直線ⅠⅠⅠ-ⅠⅠⅠ上への他のピアホール6の配置の数は少なくするほど、また、広い範囲についてこの条件を遵守するほど、伝播の抑制には効果的である。しかし、実用的には、任意に選ばれた互いに隣接する2つのピアホール6については、これらの中心

同士を結んでできる線分の中点から、実効波長の $1/2$ 以下の距離の範囲内において、この線分を延長してできる直線に交わる、他のピアホール6の数が2以下となるように配列すれば、共振の発生の程度は十分抑制することができる。

【0064】（実施の形態6）

（構造）図9は、本実施の形態における誘電体回路基板2を示す平面図である。ただし、図9では誘電体回路基板2のうち誘電体部分20を省略している。ピアホール列60を構成するピアホール6は、各辺において一直線上に載らないように配列されており、ピアホール列60は、略弧状に並ぶ4以上のピアホール6からなる略弧状部分13を含んでいる。さらに、各略弧状部分13の弧の長径が実効波長の $1/2$ 未満となっている。たとえば、図9において長径R4は、実効波長の $1/2$ 未満となっている。

【0065】なお、誘電体回路基板2およびミリ波半導体装置1としての他の部分の構成は実施の形態1におけるものと同じである。

【0066】（作用・効果）各略弧状部分13の弧の長径が実効波長の $1/2$ 未満となっているため、各略弧状部分13に発生する共振の周波数を相対的に高くすることができる。したがって、仮に共振によって高周波特性が劣化したとしても、その共振周波数は、図4に示すF2よりも高い周波数とすることができ、使用周波数帯において使用可能レベルを下回することは回避できる。

【0067】（実施の形態7）

（構造）図10は、本実施の形態における誘電体回路基板2を示す平面図である。ただし、図10では誘電体回路基板2のうち誘電体部分20を省略している。ピアホール列60を構成するピアホール6は、各辺において一直線上に載らないように配列されており、ピアホール列60は、略矩形形状に並ぶ4以上のピアホール6からなる略矩形形状部分14を含んでいる。さらに、各略矩形形状部分14の矩形長辺の長さが実効波長の $1/2$ 未満となっている。たとえば、図10において長径R5は、実効波長の $1/2$ 未満となっている。

【0068】なお、誘電体回路基板2およびミリ波半導体装置1としての他の部分の構成は実施の形態1におけるものと同じである。

【0069】（作用・効果）各略矩形形状部分14の矩形長辺の長さが実効波長の $1/2$ 未満となっているため、各略矩形形状部分14に発生する共振の周波数を相対的に高くすることができる。したがって、仮に共振によって高周波特性が劣化したとしても、その共振周波数は、図4に示すF2よりも高い周波数とすることができ、使用周波数帯において使用可能レベルを下回することは回避できる。

【0070】（実施の形態8）

（構造）図11に、本実施の形態における誘電体回路基

板 2 に含まれる並列ビアホール配列 6 2 の一部分の概略を示す。「並列ビアホール配列 6 2」とは、ビアホール列 6 0 が複数本の互いに略平行な直線に沿ったものである。本実施の形態における並列ビアホール配列 6 2 においては、ビアホール 6 は、それぞれ直線に沿って不等間隔で配列されている。

【0071】なお、誘電体回路基板 2 およびミリ波半導体装置 1 としての他の部分の構成は実施の形態 1 におけるものと同じである。

【0072】(作用・効果)このような配列とすることにより、共振する周波数を、相対的に高くすることができる。したがって、仮に共振によって高周波特性が劣化したとしても、その共振周波数は、図 4 に示す F 2 よりも高い周波数とすることができ、使用周波数帯において使用可能レベルを下回することは回避できる。

【0073】なお、今回開示した上記実施の形態はすべての点で例示であって制限的なものではない。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更を含むものである。

【0074】

【発明の効果】本発明に係る誘電体回路基板によれば、電磁波を遮蔽するために配列されたビアホールが、各辺において直線上に載らないようにまたは不等間隔に配列されたものであるから、ビアホール同士の位置関係には乱雑さが加わり、多様化し、各部分ごとに共振周波数が異なることとなる。その結果、ある周波数の共振に呼応して他の多くの箇所が共振し、増幅され伝播するといった現象は起こりにくくなる。また、互いに隣接して配列されたビアホール同士の距離を、実効波長の  $1/2$  未満の距離、好ましくは  $3/8$  以下の距離とすることで、ビアホールで囲まれた部分とその外側との電磁的な遮断がさらに強化され有効に行われる。

【0075】さらに、ビアホール列が略弧状部分や略矩形状部分を含むことによって、共振の周波数を相対的に高くすることができ、その結果、高周波特性が使用周波数帯において使用可能レベルを下回することを回避できる。

【図面の簡単な説明】

【図 1】 本発明に基づく実施の形態 1 における誘電体回路基板の平面図である。

【図 2】 本発明に基づく実施の形態 1 におけるミリ波半導体素子の構造を上方から透視して見た平面図であ

る。

【図 3】 本発明に基づく実施の形態 1 におけるミリ波半導体装置の、図 1 および図 2 の I-I 線における矢視断面図である。

【図 4】 本発明に基づく実施の形態 1 におけるミリ波半導体装置の高周波特性を示した概略図である。

【図 5】 本発明に基づく実施の形態 2 における誘電体回路基板の平面図である。

【図 6】 本発明に基づく実施の形態 3 における誘電体回路基板のビアホール列の一部分の概略図である。

【図 7】 本発明に基づく実施の形態 4 における誘電体回路基板のビアホール列の一部分の概略図である。

【図 8】 本発明に基づく実施の形態 5 における誘電体回路基板のビアホール列の一部分の概略図である。

【図 9】 本発明に基づく実施の形態 6 における誘電体回路基板の平面図である。

【図 10】 本発明に基づく実施の形態 7 における誘電体回路基板の平面図である。

【図 11】 本発明に基づく実施の形態 8 における誘電体回路基板の並列ビアホール配列の一部分の概略図である。

【図 12】 従来技術に基づく誘電体回路基板の平面図である。

【図 13】 従来技術に基づくミリ波半導体素子を示す平面図である。

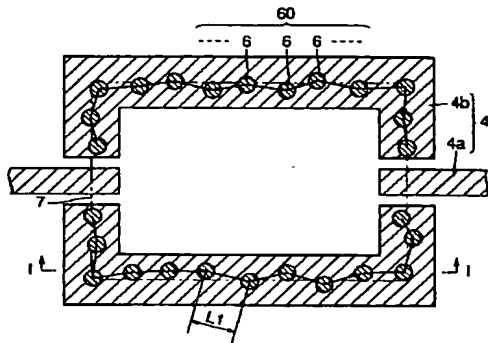
【図 14】 従来技術に基づくミリ波半導体装置を示す、図 12 および図 13 の I-I 線における矢視断面図である。

【図 15】 従来技術に基づくミリ波半導体装置の高周波特性の一例を示す概略図である。

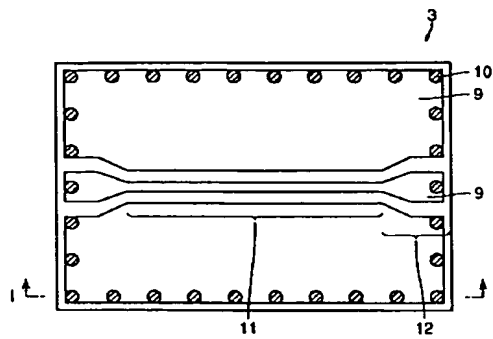
【符号の説明】

1 ミリ波半導体装置、2 誘電体回路基板、3 ミリ波半導体素子、4 ミリ波半導体素子搭載用回路パターン、4a 信号入出力パターン、4b 接地電位パターン、5 裏面接地電位パターン、6、6a、6b、6c、6d、6e、6f、6g、6h、6i、6j、6k、6l、6m、6n、6o、6p、6q、6r、6s、6t、6u、6v、6w、6x、6y、6z ビアホール、7 ミリ波半導体素子搭載部、9 ボンディングパッド、10 突起電極、11 伝送線路、12 入出力端子、13 略弧状部分、14 略矩形状部分、20 誘電体部分、60 ビアホール列、62 並列ビアホール配列。

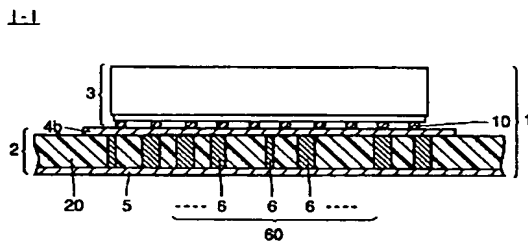
【図1】



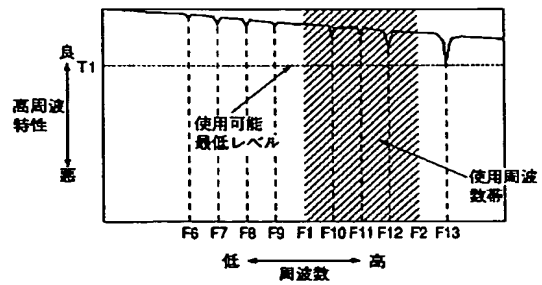
【図2】



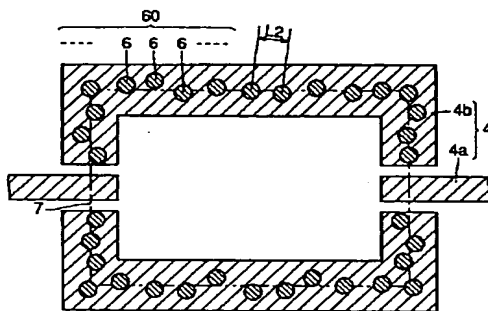
【図3】



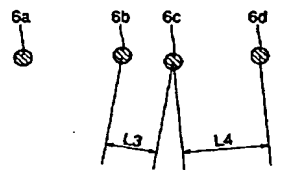
【図4】



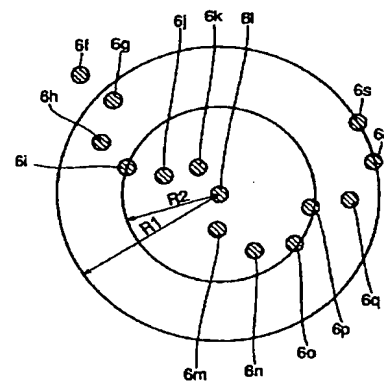
【図5】



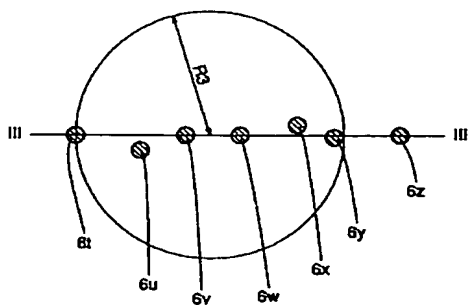
【図6】



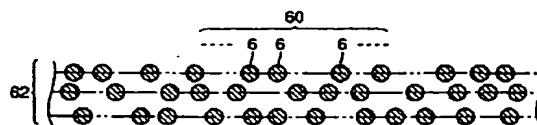
【図7】



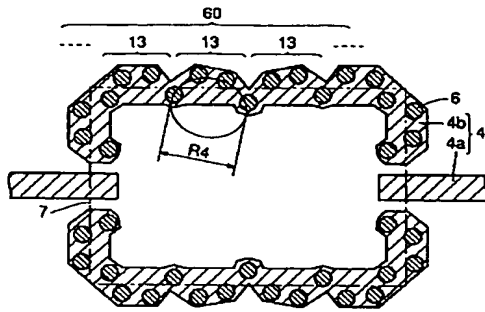
【図8】



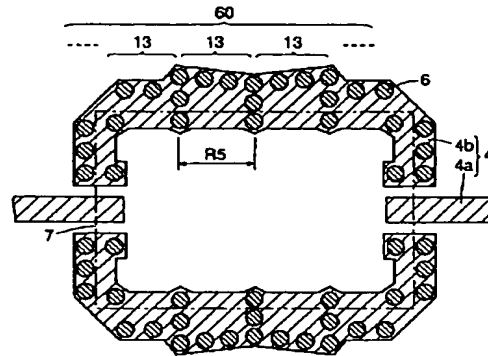
【図11】



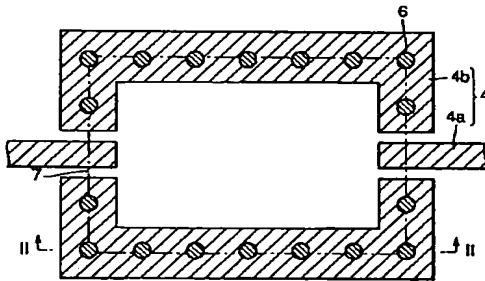
【図9】



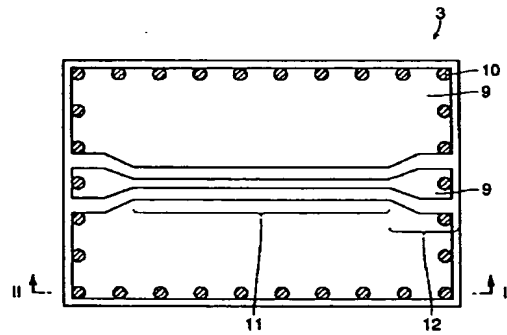
【図10】



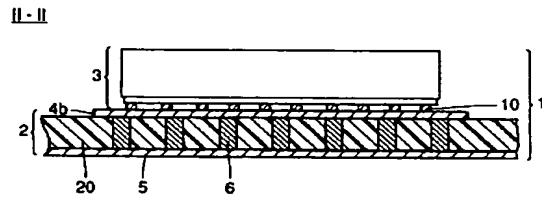
【図12】



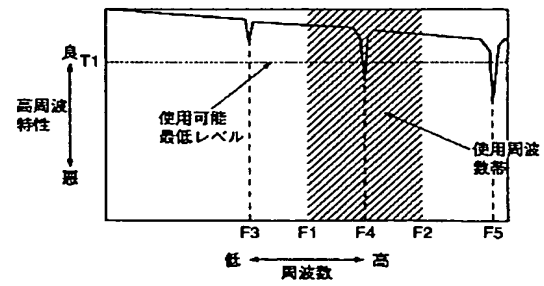
【図13】



【図14】



【図15】



【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第2区分  
 【発行日】平成14年4月12日(2002. 4. 12)

【公開番号】特開2001-68596(P2001-68596A)  
 【公開日】平成13年3月16日(2001. 3. 16)  
 【年通号数】公開特許公報13-686  
 【出願番号】特願平11-240834  
 【国際特許分類第7版】

H01L 23/12 301  
 H05K 1/02  
 1/11

【F I】

H01L 23/12 301 L  
 H05K 1/02 P  
 1/11 N

【手続補正書】

【提出日】平成14年1月11日(2002. 1. 11)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 ミリ波半導体素子を実装することによってミリ波半導体装置を形成可能な誘電体回路基板であって、

ミリ波半導体素子の実装領域の各辺に対応して配列されたビアホール列を有し、

前記ビアホール列は、接地された導電体を内部に含むビアホールが、一直線上に載らないように配列されたものである、誘電体回路基板。

【請求項2】 ミリ波半導体素子を実装することによってミリ波半導体装置を形成可能な誘電体回路基板であって、

ミリ波半導体素子の実装領域の各辺に対応して配列されたビアホール列を有し、

前記ビアホール列は、接地された導電体を内部に含むビアホールが、互いに隣接するビアホール間の距離が一定とならないように配列されたものである、誘電体回路基板。

【請求項3】 互いに隣接して配列された任意の2つの前記ビアホール同士の間隔が基板表面における実効波長の1/2未満である、請求項1または2に記載の誘電体回路基板。

【請求項4】 任意の1つの前記ビアホールから、その両隣に隣接する2つの前記ビアホールのうちの一方までの距離と他方までの距離とが互いに異なるように配列さ

れた、請求項1から3のいずれかに記載の誘電体回路基板。

【請求項5】 前記ビアホールのうちから任意に選ばれた1つのビアホールである中心ビアホールから基板表面における実効波長の1/2以下の距離の範囲内において、前記中心ビアホールからの距離が互いにほぼ等しい他の前記ビアホールの数が3以下である、請求項1から4のいずれかに記載の誘電体回路基板。

【請求項6】 前記ビアホールのうちから任意に選ばれた互いに隣接する2つの前記ビアホールの中心同士を結んでできる線分の中点から、基板表面における実効波長の1/2以下の距離の範囲内において、前記線分を延長してできる直線に交わる、他の前記ビアホールの数が2以下である、請求項1から5のいずれかに記載の誘電体回路基板。

【請求項7】 ミリ波半導体素子を実装することによってミリ波半導体装置を形成可能な誘電体回路基板であって、

配列されたビアホール列を有し、前記ビアホール列は、接地された導電体を内部に含むビアホールが配列されたものであり、前記ビアホール列が、略弧状に並ぶ4以上の前記ビアホールからなる略弧状部分を含み、各前記略弧状部分の弧の長径が基板表面における実効波長の1/2未満である、誘電体回路基板。

【請求項8】 ミリ波半導体素子を実装することによってミリ波半導体装置を形成可能な誘電体回路基板であって、

配列されたビアホール列を有し、前記ビアホール列は、接地された導電体を内部に含むビアホールが配列されたものであり、前記ビアホール列が、略矩形状に並ぶ4以上の前記ビアホールからなる略矩形状部分を含み、各前記矩形状部分の矩形長辺の長さが基板表面における実効

波長の $1/2$ 未満である、誘電体回路基板。

【請求項9】 前記ビアホール列が、複数本の互いに略平行な直線に沿う並列ビアホール配列を含み、この並列ビアホール配列の各前記直線に沿って並ぶ前記ビアホールが不等間隔で配列されている、請求項1または2に記載の誘電体回路基板。

【請求項10】 ミリ波半導体素子を実装した、請求項1から10のいずれかに記載の誘電体回路基板を含むミリ波半導体装置。

【請求項11】 直線状に配列された複数の突起電極を含む突起電極列により外縁部を取り囲まれたミリ波半導体素子を誘電体回路基板上に実装したミリ波半導体装置であって、

前記誘電体回路基板は、各前記突起電極列の近傍に、ビアホール列を有し、

前記ビアホール列は、接地された導電体を内部に含むビアホールが、対応する前記突起電極列に平行な直線上に載らないように配列されている、ミリ波半導体装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】

【課題を解決するための手段】上記目的を達成するため、本発明に基づく誘電体回路基板の1つの局面においては、ミリ波半導体素子を実装することによってミリ波半導体装置を形成可能な誘電体回路基板であって、ミリ波半導体素子の実装領域の各辺に対応して配列されたビアホール列を有し、上記ビアホール列は、接地された導電体を内部に含むビアホールが、一直線上に載らないように配列されたものである。あるいは他の局面においては、ミリ波半導体素子を実装することによってミリ波半導体装置を形成可能な誘電体回路基板であって、ミリ波半導体素子の実装領域の各辺に対応して配列されたビアホール列を有し、上記ビアホール列は、接地された導電体を内部に含むビアホールが、互いに隣接するビアホール間の距離が一定とならないように配列されたものである。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正内容】

【0024】本発明に基づく誘電体回路基板の他の局面においては、ミリ波半導体素子を実装することによってミリ波半導体装置を形成可能な誘電体回路基板であって、配列されたビアホール列を有し、上記ビアホール列は、接地された導電体を内部に含むビアホールが配列されたものであり、上記ビアホール列が、略弧状に並ぶ4以上の上記ビアホールからなる略弧状部分を含み、各上記略弧状部分の弧の長径が基板表面における実効波長の $1/2$ 未満である。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正内容】

【0026】本発明に基づく誘電体回路基板のさらに他の局面においては、ミリ波半導体素子を実装することによってミリ波半導体装置を形成可能な誘電体回路基板であって、配列されたビアホール列を有し、上記ビアホール列は、接地された導電体を内部に含むビアホールが配列されたものであり、上記ビアホール列が、略矩形状に並ぶ4以上の上記ビアホールからなる略矩形形状部分を含み、各上記矩形形状部分の矩形長辺の長さが基板表面における実効波長の $1/2$ 未満である。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正内容】

【0031】本発明に基づくミリ波半導体装置の他の局面においては、直線状に配列された複数の突起電極列により外縁部を取り囲まれたミリ波半導体素子を誘電体回路基板上に実装したミリ波半導体装置であって、前記誘電体回路基板は、各前記突起電極列の近傍に、ビアホール列を有し、前記ビアホール列は、接地された導電体を内部に含むビアホールが、対応する前記突起電極列に平行な直線上に載らないように配列されている。